

BEST AVAILABLE COPY



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010009500 A
(43)Date of publication of application: 05.02.2001

(21)Application number: 1019990027886

(22)Date of filing: 10.07.1999

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.

(72)Inventor: SIM, JAE SEONG

(51)Int. Cl. G11B 20/12

(54) SCRAMBLER USING RANDOM DATA GENERATOR

(57) Abstract:

PURPOSE: A scrambler using a random data generator is provided to generate data of large capacity in an HD-DVD(high density digital versatile disc) as random data and to adopt a parallel random data generator.

CONSTITUTION: In a random data generator, an $m \times n$ decoder(100) provides m -bit input as n -bit output and registers($r0-rn-1$) save the n bit. A selective output circuit provides 0 or register output as it is depending on effective bit of the n -bit output of the $m \times n$ decoder by receiving the n -bit output of the $m \times n$ decoder as a selecting signal. A logic circuit processes both n -bit output of the selective output circuit and registers through exclusive logical OR. The logic circuit inputs the exclusive logical OR result only for the effective bit of n -bit output to the lowest register as feedback. Therefore, the random data generator is possible to generate random data having a long cycle of over 64K.

COPYRIGHT 2001 KIPO

Legal Status

AL

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ G11B 20/12	(11) 공개번호 (43) 공개일자	특2001-0009500 2001년02월05일
(21) 출원번호	10-1999-0027886	
(22) 출원일자	1999년07월10일	
(71) 출원인	삼성전자 주식회사	요종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416 심재성	
(74) 대리인	서울특별시관악구자양1동229-24 이영필, 권석훈, 이상훈	

심사청구 : 없음

(54) 랜덤 데이터 발생기 및 이를 사용하는 스크램블러

요약

랜덤 데이터 발생기 및 이를 사용하는 스크램블러가 개시되어 있다. 본 발명의 랜덤 데이터 발생기는 n 비트의 입력을 n 비트의 출력으로 제공하는 $n \times n$ 디코더, 직렬로 구성되어 n 비트를 시프트 저장하는 레지스터, $n \times n$ 디코더로부터 제공되는 n 비트의 출력을 선택 신호로 입력하여, $n \times n$ 디코더의 n 비트의 출력 중 유효한 비트에 대해서는 "0"을 제공하고, 그렇지 않으면 레지스터의 출력을 그대로 제공하는 선택 출력 회로 및 선택 출력 회로의 n 비트의 출력과 레지스터의 n 비트의 출력을 배타적 논리합하되, $n \times n$ 디코더의 n 비트의 출력 중 유효한 비트에 대해서만 배타적 논리합한 결과가 취하워 레지스터에 피드백 입력되는 논리 회로를 포함하여, 64K 이상의 긴 주기의 랜덤 데이터 발생이 가능하며, $n \times n$ 디코더를 이용하여 $2^n \times 64K$ 주기의 랜덤 데이터 발생기의 구현이 가능하다.

도면

도 1

도 2

도 3

도 1은 일반적인 DVD 시스템의 스크램블러에서 사용하는 랜덤 데이터 발생기의 회로도이다.

도 2는 도 1에 도시된 랜덤 데이터 발생기로부터 발생되는 랜덤 데이터 결과와 입력 데이터가 "00"일 때 스크램블 결과를 보인 테이블이다.

도 3은 도 1에 도시된 레지스터에서 사용되는 초기값을 보인 테이블이다.

도 4는 본 발명에 의한 시리얼 구조의 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 회로도이다.

도 5는 도 4에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 일 실시예에 따른 회로도이다.

도 6은 도 5에 도시된 3×8 디코더의 입/출력의 예를 보인 테이블이다.

도 7은 도 5에 도시된 3×8 디코더의 출력이 일 예로 "CA00h"일 때 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 회로도이다.

도 8은 도 7에 도시된 랜덤 데이터 발생기의 랜덤 데이터 결과와 입력 데이터 "00h"에 대한 스크램블 결과를 보인 도면이다.

도 9는 도 5에 도시된 랜덤 데이터 발생기에서 랜덤 데이터의 주기가 64K이고, 유효 브랜치의 수가 4일 때 가능한 모든 경우의 3×8 디코더의 출력을 보인 테이블이다.

도 10은 도 5에 도시된 랜덤 데이터 발생기에서 랜덤 데이터의 주기가 64K이고, 유효 브랜치의 수가 6일 때 가능한 모든 경우의 3×8 디코더의 출력을 보인 테이블이다.

도 11은 도 4에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 다른 실시예에 따른 회로도이다.

도 12는 도 11에 도시된 1×2 디코더의 예를 보인 테이블이다.

도 13은 도 11에 도시된 1×2 디코더의 출력이 "8400h"일 때의 랜덤 데이터 결과와 입력 데이터 "00h"에 대한 스크램블 결과를 보인 도면이다.

도 14는 도 11에 도시된 1×2 디코더의 출력으로 "8400h"와 "C400h" 두가지를 사용할 때 랜덤 데이터 결과와 입력 데이터 "00h"에 대한 스크램블 결과와 보인 도면이다.

도 15는 본 발명에 의한 패러렐 구조의 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 회로도이다.

도 16은 도 15에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 일 실시예에 따른 회로도이다.

본 발명의 상세한 설명

본 발명의 목적

본 발명이 해결하는 기술적 과제는 본 발명의 목적이다

본 발명은 데이터 랜덤화 분야에 관한 것으로, 특히 고밀도 광 디스크 시스템에 적합한 랜덤 데이터 발생기와 이를 사용하는 스크램블러에 관한 것이다.

랜덤 데이터 발생기는 입력되는 특정값의 데이터를 난수로 만들어 주는 장치로서, 광 디스크 예를 들어, CD-ROM(Compact Disc Random Only Memory) 또는 DVD(Digital Versatile Disc) 등을 사용하는 광 디스크 시스템의 스크램블러(scrambler)에 적용되고 있다.

일반적으로 데이터 스크램블의 목적은 키(key)를 갖고 있지 않은 사용자로부터 데이터를 보호하기 위한 수단으로 많이 사용되고 있으며, 통신용으로는 보호 통신(security communication) 목적으로 널리 사용되고 있는 랜덤화의 한 방법이다.

광 디스크 시스템에서 입력 데이터를 스크램블하는 주요한 첫 번째 이유는 차동 위상 검출(Differential Phase Detection: DPD)을 이용한 트랙킹 제어를 원활히 수행하기 위함이다. 만일, 동일한 데이터가 입력되어 동일한 변조 코드가 디스크 상의 인접 트랙에 기록되면 재생시 DPD 신호가 검출되지 않아 서보부(servo unit)에서 트랙킹 제어가 어려워진다. 예를 들어, 스크램블하지 않는 CD-Audio의 경우 곡과 곡사이 구간(데이터 모두 "00h" 구간)에서 DPD 제어가 어렵다.

두 번째 이유는 변조부에서 DC 억압 제어에 부담을 줄여주기 위해서이다. 동일한 데이터가 연속 입력되는 경우 특정한 값에 대해서는 DSV(Digital Sum Value) 제어 지체가 불가능할 수도 있다. 이러한 최악의 경우를 막기 위해서 데이터의 랜덤화가 필요하다. 여기서, DSV는 코드워드의 DC 방향을 예측하는 파라미터로서, 변조 코드워드는 DC에 수렴하는 코드 특성을 갖는 것이 바람직하다.

세 번째 이유는 특정 데이터를 보호하기 위함이다. CD-ROM(Read Only Memory)의 경우는 데이터내의 싱크 패턴(00h, FFh, FFh, ..., FFh, 00h)을 보호하기 위하여 싱크를 제외한 나머지 데이터만 스크램블을 수행한다.

도 1은 일반적인 DVD 시스템의 스크램블러에 사용되는 랜덤 데이터 발생기의 회로도로서, 배타적 논리합 게이트(10)와 랜덤 데이터를 제공하는 레지스터($r_0 \sim r_n$)를 랜덤 데이터 발생기라고 하고, 이 랜덤 데이터 발생기와 논리합 게이트(11~18)를 포함해서 스크램블러라고 한다.

도 1에 있어서, 15 비트의 레지스터($r_0 \sim r_n$)는 도면에는 도시되지 않았지만 스크램블을 위한 출력 입력에 동기해서 시프트 레프트(Shift Left)하며, 최하위 레지스터(r_0)의 입력은 배타적 논리합(Exclusive OR: XOR) 게이트(10)로부터 제공되는 최상위 레지스터(r_n)의 출력과 11번째 하위 레지스터(r_{10})의 출력의 배타적 논리합한 값이 된다.

도 1에 도시된 랜덤 데이터 발생기의 랜덤 데이터 발생 주기는 32K(kilo)이며, 이 랜덤 데이터 발생 주기는 DVD의 1 ECC(Error Correction Code) 블록의 크기인 32K와 일치한다. 즉, 1 ECC 블록내에서는 주기성 이 없는 랜덤값을 발생시키며, 레지스터를 8번 시프트 레프트(shift left)한 후 XOR 게이트(11~18)에서 하위 8개의 레지스터($r_0 \sim r_7$)의 출력과 입력 데이터($D_0 \sim D_7$)를 배타적 논리합함으로써 스크램블된 결과가 얻어진다. 여기서, 도면에는 도시되지 않았지만 XOR 게이트(11~18)에 입력되는 데이터 출력 속도는 레지스터($r_0 \sim r_n$)에 입력되는 스크램블 출력 속도보다 1/8의 속도를 갖는다.

도 2는 도 1에 도시된 레지스터($r_0 \sim r_n$)의 초기값을 16진수로 "0001h"로 설정하고, 입력 데이터 ($D_0 \sim D_7$)가 "00h"일 때 레지스터($r_0 \sim r_n$)의 랜덤 데이터 결과와 스크램블 결과($D_0 \sim D_7$)를 보인 도면이다. 도 2에서 랜덤 데이터의 주기가 32K(32768)임을 알 수 있다.

여기서, 레지스터($r_0 \sim r_n$)를 8번 시프트 레프트한 후 스크램블을 하기 때문에 기본 액세스 단위인 섹터의 선두에 할당된 4바이트의 식별코드(10) 중 마지막 1바이트의 상위 4비트(10(7:4))를 참조하여 초기값으로 레지스터($r_0 \sim r_n$)를 초기화시키는 데 이때 초기값을 설정하는 데 주의를 해야 한다. 즉, 동일한 데이터가 입력되더라도 1 섹터 내에서는 초기화된 값으로부터 랜덤 데이터가 발생하며 이 1 섹터내의 값들은 1 ECC

등록등인(16비트)은 동일하게 반복된다.

도 3에 도시된 바와 같이, 최초의 레지스터($r_0 \sim r_n$)의 초기값 "0001h"와 "0001h"를 7번까지 시프트 레프트한 값을(0002h, 0004h, 0008h, 0010h, 5000h, 2001h, 4002h)과 이를 같이 리턴하는 데 필요한 승환 16K($\times 2K \sim 8$)미후의 레지스터($r_0 \sim r_n$)의 값인 "5500h"와 "5500h"를 7번까지 시프트 레프트한 값을(2A00h, 5400h, 2800h, 5000h, 2001h, 4002h, 0005h)를 레지스터($r_0 \sim r_n$)의 초기값으로 사용하고 있다.

그러나, 종래의 랜덤 데이터 발생기와 이를 사용하는 스크램블러는 32K보다 큰 주기의 랜덤 데이터 발생과 스크램블을 필요로 할 때 대응이 안되는 문제점이 있었다.

본 발명에 이루고자하는 기술적 과제

상기한 문제점을 해결하기 위하여, 본 발명의 목적은 대용량의 데이터를 랜덤 데이터로 발생시키는 시리얼 구조의 랜덤 데이터 발생기를 제공하는 데 있다.

본 발명의 다른 목적은 시리얼 구조의 랜덤 데이터 발생기를 채용한 고밀도 광 디스크 시스템의 스크램블러를 제공하는 데 있다.

본 발명의 또 다른 목적은 대용량의 데이터를 랜덤 데이터로 발생시키는 패러렐 구조의 랜덤 데이터 발생기를 제공하는 데 있다.

본 발명의 또 다른 목적은 패러렐 구조의 랜덤 데이터 발생기를 채용한 고밀도 광 디스크 시스템의 스크램블러를 제공하는 데 있다.

상기한 목적들을 달성하기 위하여, 본 발명의 랜덤 데이터 발생기는 n비트의 입력을 n비트의 출력으로 제공하는 $n \times n$ 디코더, 직렬로 구성되며 n비트를 시프트 저장하는 레지스터, $n \times n$ 디코더로부터 제공되는 n비트의 출력을 선택 신호로 입력하여, $n \times n$ 디코더의 n비트의 출력 중 유효한 비트에 대해서는 "0"를 제공하고, 그렇지 않으면 레지스터의 출력을 그대로 제공하는 선택 출력 회로 및 선택 출력 회로의 n비트의 출력과 레지스터의 n비트의 출력을 배타적 논리합하고, $n \times n$ 디코더의 n비트의 출력 중 유효한 비트에 대해서만 배타적 논리합한 결과가 최하위 레지스터에 피드백 입력되는 논리 회로를 포함하여, 레지스터로부터 n비트의 랜덤 데이터가 발생되는 것을 특징으로 하고 있다.

이 시리얼 구조의 랜덤 데이터 발생기는 고밀도 광 디스크 시스템의 스크램블러에 적용되며, 스크램블러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 배타적 논리합하여 스크램블 결과를 제공하는 것을 특징으로 하고 있다.

본 발명의 랜덤 데이터 발생기는 p개의 병렬로 구성되며, 각 논리 회로는 2ⁿ개의 출력을 제공하는 배타적 논리합하는 논리 회로, n비트의 선택 신호에 따라 각 논리 회로로부터 제공되는 2ⁿ개의 출력 중 하나를 선택하여 p개의 출력을 제공하는 선택 출력 회로 및 병렬로 n개로 구성되며, n-p개의 상위 레지스터는 p개의 하위 레지스터의 출력을 제공받고, p개의 하위 레지스터는 상기 선택 출력 회로의 p개의 출력을 제공받아 랜덤 데이터를 발생하는 레지스터를 포함하는 것을 특징으로 하고 있다.

이 패러렐 구조의 랜덤 데이터 발생기는 고밀도 광 디스크 시스템의 스크램블러에 적용되며, 스크램블러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 배타적 논리합하여 스크램블 결과를 제공하는 것을 특징으로 하고 있다.

본 발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명에 의한 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 바람직한 실시예를 설명하기로 한다.

도 4는 본 발명에 의한 시리얼 구조의 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 회로도로서, 랜덤 데이터 발생기는 $n \times n$ 디코더(100), n개의 멀티플렉서($m_0 \sim m_{n-1}$), n개의 XOR 게이트($g_0 \sim g_{n-1}$), n개의 레지스터($r_0 \sim r_{n-1}$)를 포함하고, 스크램블러는 상술한 구성을 갖는 랜덤 데이터 발생기와 입력 데이터($d_0 \sim d_{n-1}$)와 레지스터($r_0 \sim r_{n-1}$)의 각 출력을 배타적 논리합하여 스크램블 결과를 출력하는 XOR 게이트(101~108)로 구성되어 있다. 여기서, n개의 멀티플렉서를 $n \times n$ 디코더(100)의 n비트의 출력에 따라 "0" 또는 각 레지스터의 출력을 선택출력하는 선택출력회로로, n개의 XOR 게이트를 n비트의 배타적 논리합 결과를 제공하는 논리 회로로 지칭될 수 있다.

도 4에 있어서, $n \times n$ 디코더(100)는 n비트의 입력을 n비트의 출력으로 제공하고, n개의 멀티플렉서($m_0 \sim m_{n-1}$)는 $n \times n$ 디코더(100)의 n비트의 출력($Do_0 \sim Do_{n-1}$)을 선택 신호로 입력해서, $n \times n$ 디코더(100)의 n비트의 출력($Do_0 \sim Do_{n-1}$)의 값이 "1"일 때는 제1 입력단(A)으로 입력되는 "0"을 출력 신호($Mo_0 \sim Mo_{n-1}$)로서 각 XOR 게이트($g_0 \sim g_{n-1}$)의 각 입력단에 제공한다. 이때, 각 XOR 게이트($g_0 \sim g_{n-1}$)는 각 입력단으로 입력되는 각 레지스터($r_0 \sim r_{n-1}$)의 출력($So_0 \sim So_{n-1}$)을 그대로 출력하게 되고, 결국 누적된 XOR 게

이트(b_0)의 출력값이 최하위 레지스터(r_0)에 피드백 입력된다.

또한, 각 멀티플렉서($m_0 \sim m_{n-1}$)는 $n \times n$ 디코더(100)의 n 비트의 출력($0a_0 \sim 0a_{n-1}$)값이 "0"일 때는 각 제2 입력단(B)으로 입력되는 레지스터($r_0 \sim r_{n-1}$)의 출력($s_0 \sim s_{n-1}$)을 자신의 출력($Mo_0 \sim Mo_{n-1}$)으로 제공하면, 각 XOR 게이트($g_0 \sim g_{n-1}$)는 각 멀티플렉서($m_0 \sim m_{n-1}$)의 출력인 $s_0 \sim s_{n-1}$ 과 각 레지스터($r_0 \sim r_{n-1}$)의 출력인 $s_0 \sim s_{n-1}$ 자신과 배타적 논리합한다. 이때, 각 XOR 게이트($g_0 \sim g_{n-1}$)의 출력값이 결국 "0"이 되어 최하위 레지스터(r_0)에 피드백 입력되는 값은 없다.

이렇게 n 개의 레지스터($r_0 \sim r_{n-1}$)로부터 n 비트의 랜덤 데이터가 발생되고, XOR 게이트(101~108)로부터 입력 데이터($0_0 \sim 0_7$)와 하위 6개의 레지스터($r_0 \sim r_5$)의 각 출력을 배타적 논리합한 스크램블링 결과가 제공된다.

도 5는 도 4에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 일 실시예에 따른 회로도이다. 3×8 디코더(110)의 입력은 3비트로 하고, 출력은 8가지의 16비트($0a_0 \sim 0a_7$)로 한다. 이 3×8 디코더(110)의 입력에 따른 그 출력의 일 예는 도 6에 도시되어 있다.

예를 들어, 3비트의 입력값이 "100b"으로 입력되면, 3×8 디코더(110)의 출력값은 도 6에 도시된 바와 같이 "CA00h"가 되므로 3×8 디코더(110)의 출력 $0a_0, 0a_1, 0a_2$ 과 $0a_3$ 만이 "1"이 되므로 멀티플렉서(m_0, m_1, m_2, m_3)의 출력 Mo_0, Mo_1, Mo_2, Mo_3 이 "0"이 되어 XOR 게이트(g_0, g_1, g_2, g_3)의 타단으로 입력되는 해당 레지스터(r_0, r_1, r_2, r_3)의 출력 s_0, s_1, s_2, s_3 을 자신의 출력으로 제공하게 되므로, 상위 XOR 게이트(g_4, g_5, g_6, g_7)의 출력값이 유효하다. 나머지 멀티플렉서(m_4, \dots, m_7)의 출력은 레지스터(r_4, \dots, r_7)의 출력 s_4, \dots, s_7 이 되므로 해당 XOR 게이트(g_4, \dots, g_7)의 타단으로 입력되는 각 멀티플렉서(m_4, \dots, m_7)의 출력인 s_4, \dots, s_7 과 각 타단으로 입력되는 레지스터(r_4, \dots, r_7)의 출력 s_4, \dots, s_7 을 배타적 논리합하게 되고, 그 XOR 게이트(g_4, \dots, g_7)의 출력값은 "0"이 된다.

예를 들어, 멀티플렉서(m_0)의 경우 3×8 디코더(110)의 출력($0a_0$)의 값이 "0"이므로 제2 입력단(B)으로 입력되는 레지스터(r_0)의 출력(s_0)을 자신의 출력(Mo_0)으로 제공하고, 결국 XOR 게이트(g_0)는 s_0 과 s_0 가 배타적 논리합하게 되면 그 출력값이 "0"이 되므로 이는 이 XOR 게이트(g_0)와 브랜치(S_0, Mo_0)가 무효가 된다는 의미와 동일하고, 결국 3×8 디코더(110)의 출력값 "CA00h"에 대해 간단한 구조로 구현하면 도 7에 도시된 바와 같은 구조를 가지게 된다.

도 7에 도시된 바와 같이, 도 5에 도시된 3×8 디코더(110)의 출력값이 "CA00h"일 때 레지스터($r_0 \sim r_7$)를 8회 시프트 레프트한 후 랜덤 데이터를 추출하면 이 경우의 레지스터($r_0 \sim r_7$)의 랜덤 데이터는 도 8에 도시된 바와 같으며, 1 주기가 64K(65536)임을 알 수 있다.

한편, 도 5에 도시된 3×8 디코더(110)의 출력에 따라 랜덤 데이터 발생기의 XOR 게이트($g_0 \sim g_7$)의 유효 브랜치가 달라져서 랜덤 데이터 발생기의 구조가 바뀌게 되며, 이에 따라 $8 \times 64K$ 주기의 랜덤 데이터 발생이 가능해진다. 이는 도 5에 도시된 바와 같은 구조로 얼마든지 긴 주기의 랜덤 데이터 발생기의 구현이 가능하다는 것을 의미하며, 도 5에 도시된 구조에서 64K의 주기의 랜덤 데이터 발생이 가능한 3×8 디코더(110)의 값을 정리하면 도 9 및 도 10에 도시된 바와 같다.

도 9는 도 5에 도시된 랜덤 데이터 발생기의 XOR 게이트($g_0 \sim g_7$)의 유효 브랜치의 수가 4인 경우 모든 가능한 경우의 브랜치값 즉, 3×8 디코더(110)의 출력($0a_0 \sim 0a_7$)값을 정리한 테이블이고, 도 10은 도 5에 도시된 랜덤 데이터 발생기의 XOR 게이트($g_0 \sim g_7$)의 유효 브랜치의 수가 6인 경우 모든 가능한 경우의 브랜치값 즉, 3×8 디코더(110)의 출력($0a_0 \sim 0a_7$)값을 정리한 테이블이고, 유효 브랜치의 수가 8, 10 또는 12인 경우도 있을 수 있다.

따라서, 본 발명의 실시예로서 랜덤 데이터의 주기를 64K로 하고, 이를 구현할 수 있는 브랜치값을 제시하고 있으며, 또한 그 주기를 더욱 확장할 수 있도록 도 4에 도시된 바와 같이 $n \times n$ 디코더를 두어 랜덤 데이터의 주기를 $2^n \times 64K$ 로 확장할 수 있다.

도 4에 도시된 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 다른 실시예에 따른 회로도도 도 11에 도시되어 있으며, 이 구조로 가능한 간단한 하드웨어로 긴 주기의 랜덤 데이터를 발생하는 장치를 제시하고자 한다.

도 11에 있어서, 64K의 랜덤 데이터 주기가 가능한 브랜치 구조 중 가능한 공통 부분이 많은 "6400h"와

"CA00h"를 선택하고, 1×2 디코더(140)의 내용은 도 12에 도시되어 있다. 1×2 디코더(140)의 출력에 공통으로 "0"인 $D_{0a} \sim D_{0e}$ 에 해당하는 브랜치는 모두 제거한다.

예를 들어, 1×2 디코더(140)의 1비트의 입력이 "0b"일 때 1×2 디코더(140)의 출력은 "8400h"가 되며 브랜치 D_{0a}, D_{0c}, D_{0e} 는 무효화되며, 이때 레지스터($r_0 \sim r_7$)로부터 제공되는 랜덤 데이터 결과와, 8비트 입력 데이터($D_0 \sim D_7$)가 "00h"일 때 XOR 게이트(151~158)로부터 제공되는 스크램블 결과를 정리한 테이블은 도 13에 도시되어 있다.

따라서, 도 13에 도시된 테이블은 레지스터($r_0 \sim r_7$)를 8회 시프트 레프트할 때마다 랜덤 데이터를 추출한 결과이며, 1 주기가 64K(65536)임을 알 수 있다. 결국은 입력 데이터($D_0 \sim D_7$)를 스크램블한 결과($D_{0a} \sim D_{0e}$)가 최종 사용하고자 하는 데이터가 된다.

한편, 도 11에 도시된 1×2 디코더(140)의 1비트의 입력이 "1b"일 때 1×2 디코더(140)의 출력은 "CA00h"가 되며, 이때, 레지스터($r_0 \sim r_7$)로부터 제공되는 랜덤 데이터 결과와, 8비트 입력 데이터($D_0 \sim D_7$)가 "00h"일 때 XOR 게이트(151~158)로부터 제공되는 스크램블 결과는 도 6에서 설명한 내용과 동일하다.

따라서, 도 11에 도시된 구조로 가능한 랜덤 데이터 결과 및 데이터 "00h"에 대한 스크램블 결과를 정리한 테이블은 도 14에 도시되어 있고, 주기를 간단히 $2 \times 64K$ 로 볼 수 있다.

도 15는 본 발명에 의한 패러렐 구조로 구현한 랜덤 데이터 발생기와 이를 사용하는 스크램블러의 구조를 보이고 있고, 이 구조는 고속 신호 처리가 요구되는 시스템에 유리하다.

도 15에 도시된 구조는 8회 시프트 레프트한 결과를 각 레지스터($r_0 \sim r_7$)에 병렬로 바로 입력시키기 때문에 상위 레지스터 r_0 부터 r_6 까지는 레지스터 $r_0 \sim r_{n-1}$ 의 출력인 $S_0 \sim S_{n-1}$ 가 입력되며, 하위 레지스터 $r_0 \sim r_7$ 의 입력은 예로서, 도 9 또는 도 10에 도시된 브랜치의 구조 중에서 어떤 것을 선택하느냐에 따라 달라진다. 또한, 하위 레지스터 $r_0 \sim r_7$ 를 8개로 도시되어 있지만 입력 데이터 비트(p)에 따라 달라질 수 있다.

멀티플렉서 $M_0 \sim M_7$ 는 n비트의 선택 신호에 따라 각 배타적 논리합 게이트(201~208)를 통해 제공되는 2^n 가지의 입력 중 하나를 선택하여 각 레지스터 $r_0 \sim r_7$ 에 제공한다. 여기서, XOR 게이트들(201~208)은 여러 개의 XOR 게이트의 조합으로 구성되며, 상세한 일 실시예로 도 11에 도시된 시리얼 형태의 랜덤 데이터 발생기와 이를 사용하는 스크램블러를 패러렐 형태로 구현한 처리도는 도 15에 도시되어 있다.

도 16에 있어서, 도 11에 도시된 1×2 디코더(140)의 출력 "CA00h"에 해당하는 각 멀티플렉서($M_0 \sim M_7$)의 선택 신호(SEL)가 "1"일 때 도 11에서 시프트 레프트를 8번 수행한 후의 레지스터($r_0 \sim r_7$)의 내용과 동일한 내용이 병렬로 아래와 같이 입력된다.

즉, 병렬로 구성된 각 레지스터($r_0 \sim r_7$)에는 각 레지스터($r_0 \sim r_7$)의 출력인 $S_0 \sim S_7$ 가 각각 입력되며, 각 레지스터($r_0 \sim r_7$)는 각 멀티플렉서($M_0 \sim M_7$)의 제1 입력단(A)을 통해 각각 $(S_0 \oplus S_7 \oplus S_6 \oplus S_5)$, $(S_0 \oplus S_6 \oplus S_5 \oplus S_4)$, $(S_0 \oplus S_5 \oplus S_4 \oplus S_3)$, $(S_0 \oplus S_4 \oplus S_3 \oplus S_2)$, $(S_0 \oplus S_3 \oplus S_2 \oplus S_1)$, $(S_0 \oplus S_2 \oplus S_1 \oplus S_0)$, $(S_0 \oplus S_1 \oplus S_0 \oplus S_0)$, $(S_0 \oplus S_0 \oplus S_0 \oplus S_0)$ 의 결과가 입력된다.

또한, 도 11에 도시된 1×2 디코더(140)의 출력 "8400h"에 해당하는 각 멀티플렉서($M_0 \sim M_7$)의 선택 신호(SEL)가 "0"이면 각 레지스터($r_0 \sim r_7$)에는 각 레지스터($r_0 \sim r_7$)의 출력인 $S_0 \sim S_7$ 가 각각 입력되며, 각 레지스터($r_0 \sim r_7$)는 각 멀티플렉서($M_0 \sim M_7$)의 제2 입력단(B)을 통해 $(S_0 \oplus S_7 \oplus S_6 \oplus S_5)$, $(S_0 \oplus S_6 \oplus S_5 \oplus S_4)$, $(S_0 \oplus S_5 \oplus S_4 \oplus S_3)$, $(S_0 \oplus S_4 \oplus S_3 \oplus S_2)$, $(S_0 \oplus S_3 \oplus S_2 \oplus S_1)$, $(S_0 \oplus S_2 \oplus S_1 \oplus S_0)$, $(S_0 \oplus S_1 \oplus S_0 \oplus S_0)$, $(S_0 \oplus S_0 \oplus S_0 \oplus S_0)$ 의 결과가 각각 입력된다.

각 레지스터($r_0 \sim r_7$)로부터 제공되는 랜덤 데이터 결과와 각 XOR 게이트(241~248)로부터 제공되는 입력 데이터($D_0 \sim D_7$)가 "00h"에 대한 스크램블한 결과($D_{0a} \sim D_{0e}$)는 도 14에 도시된 테이블과 같다.

도 11에 도시된 시리얼 구조에서는 각 레지스터(r_{16})를 8번 시프트 레프트를 한 후 랜덤 데이터 결과와 스크램블 결과를 구하며, 각 레지스터(r_{16})에 제공되는 스크램블 출력이 XOR 게이트(151~158)에 제공되는 데이터 출력의 8배로 배운 출력을 사용하여야 하는 반면 도 16에 도시된 패러렐 구조는 1번만 시프트를 하여도 동일한 결과를 얻을 수 있으며, 각 레지스터(r_{16})에 제공되는 스크램블 출력과 XOR 게이트(241~248)에 제공되는 데이터 출력은 동일한 속도를 가지며, 시리얼 구조의 데이터 출력과 동일 속도를 갖는 출력을 사용하게 된다.

따라서, 도 11에 도시된 시리얼 구조는 패러렐 구조보다 간단하나 동작 속도가 빨라야 한다는 단점이 있을 수 있고, 도 16에 도시된 패러렐 구조는 동작 속도가 시리얼 구조 대비 1/8로 낮으나 회로가 다소 복잡하다는 단점이 있을 수 있으므로 상황에 따라 선택해서 사용하면 된다.

랜덤 데이터 발생기

본 발명은 64K 이상의 큰 주기의 랜덤 데이터 발생이 가능하며, $m \times n$ 디코더를 이용하여 $2^8 \times 64K$ 주기의 랜덤 데이터 발생기의 구현이 가능하다.

또한, 본 발명은 향후의 HD(High Density)-DVD와 같은 고밀도의 광 디스크 시스템 등의 스크램블러를 위한 랜덤 데이터 발생기로 사용이 가능하다.

(57) 청구의 범위

청구항 1. m 비트의 입력을 n 비트의 출력으로 제공하는 $m \times n$ 디코더;
직렬로 구성되며, n 비트를 시프트 저장하는 레지스터;

상기 $m \times n$ 디코더로부터 제공되는 n 비트의 출력을 선택 신호로 입력하여, 상기 $m \times n$ 디코더의 n 비트의 출력 중 유효한 비트에 대해서는 "0"을 제공하고, 그렇지 않으면 상기 레지스터의 출력을 제공하는 선택 출력 회로; 및

상기 선택 출력 회로의 n 비트의 출력과 상기 레지스터의 n 비트의 출력을 배타적 논리합하되, 상기 $m \times n$ 디코더의 n 비트의 출력 중 유효한 비트에 대해서만 배타적 논리합한 결과가 최하위 레지스터에 피드백 입력되는 논리 회로를 포함하며,

상기 레지스터로부터 n 비트의 랜덤 데이터가 발생되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 2. 제1항에 있어서, 상기 $m \times n$ 디코더에 의해 m 비트의 입력에 대해 2^8 가지의 n 비트를 출력하여 상기 랜덤 데이터의 주기를 2^8 배 확대하는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 3. 제1항에 있어서, 상기 $m \times n$ 디코더를 n 은 16으로 하고, 소정의 브랜치값이 선택되면 랜덤 데이터의 주기는 2^8 (=64K)가 되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 4. 제1항에 있어서, n 비트의 선택 신호를 입력하고 n 은 16으로 했을 때, 상기 $m \times n$ 디코더는 $m \times 16$ 디코더가 되고, 랜덤 데이터의 주기가 $2^8 \times 64K$ 의 주기를 가지는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 5. 제1항에 있어서, 상기 $m \times n$ 디코더는 3×8 디코더이며, 랜덤 데이터의 주기가 $8 \times 64K$ 의 주기를 가지는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 6. 제1항에 있어서, 상기 $m \times n$ 디코더는 1×2 디코더이며, 랜덤 데이터의 주기가 $2 \times 64K$ 의 주기를 가지는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 7. 제1항에 있어서, 상기 $m \times n$ 디코더의 출력의 유효한 브랜치의 수가 4 이상인 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 8. 제1항에 있어서, 상기 유효한 브랜치의 수는 도 9 및 도 10에 도시된 브랜치값에 의해 결정되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 9. 제1항에 있어서, 상기 랜덤 데이터 발생기는 광 디스크 시스템의 스크램블러에 적용되며, 상기 스크램블러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 배타적 논리합하여 스크램블 결과를 제공하는 것을 특징으로 랜덤 데이터 발생기.

청구항 10. 직렬로 구성되며, n 비트를 시프트 저장하는 레지스터; 및

직렬로 구성되며, 소정의 브랜치값의 유효한 브랜치의 수에 대응하는 상기 레지스터의 출력과 인접한 논리 게이트의 출력을 배타적 논리합한 결과가 최하위 레지스터에 피드백 입력되는 복수개의 논리 게이트로 구성되는 논리 회로를 포함하며,

상기 레지스터로부터 n 비트의 랜덤 데이터가 발생되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 11. 제10항에 있어서, 상기 유효한 브랜치의 수는 4이상이고, 상기 유효한 브랜치의 수는 도 9 및 도 10에 도시된 브랜치값에 의해 결정되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 12. 제10항에 있어서, 상기 n 은 16으로 하면 랜덤 데이터의 주기는 $2^n (=64K)$ 가 되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 13. 제10항에 있어서, 상기 랜덤 데이터 발생기는 광 디스크 시스템의 스크램블러에 적용되며, 상기 스크램블러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 배타적 논리합하여 스크램블 결과를 제공하는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 14. p 개의 병렬로 구성되며, 각 논리 회로는 2^n 개의 출력을 제공하는 배타적 논리합하는 논리 회로;

비트의 선택 신호에 따라 각 논리 회로로부터 제공되는 2^n 개의 출력 중 하나를 선택하여 p 개의 출력을 제공하는 선택 출력 회로; 및

병렬로 n 개로 구성되며, $n-p$ 개의 상위 레지스터는 p 개의 하위 레지스터의 출력을 제공받고, 상기 p 개의 하위 레지스터는 상기 선택 출력 회로의 p 개의 출력을 제공받아 랜덤 데이터를 발생시키는 레지스터를 포함하는 랜덤 데이터 발생기.

청구항 15. 제14항에 있어서, 상기 레지스터로부터 제공되는 랜덤 데이터의 주기를 2^n 배 확대하는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 16. 제14항에 있어서, 비트의 선택 신호를 입력하여 n 은 16으로 했을 때, 상기 레지스터로부터 제공되는 랜덤 데이터의 주기가 $2^n \times 64K$ 의 주기를 가지는 것을 특징으로 하는 랜덤 데이터 발생기.

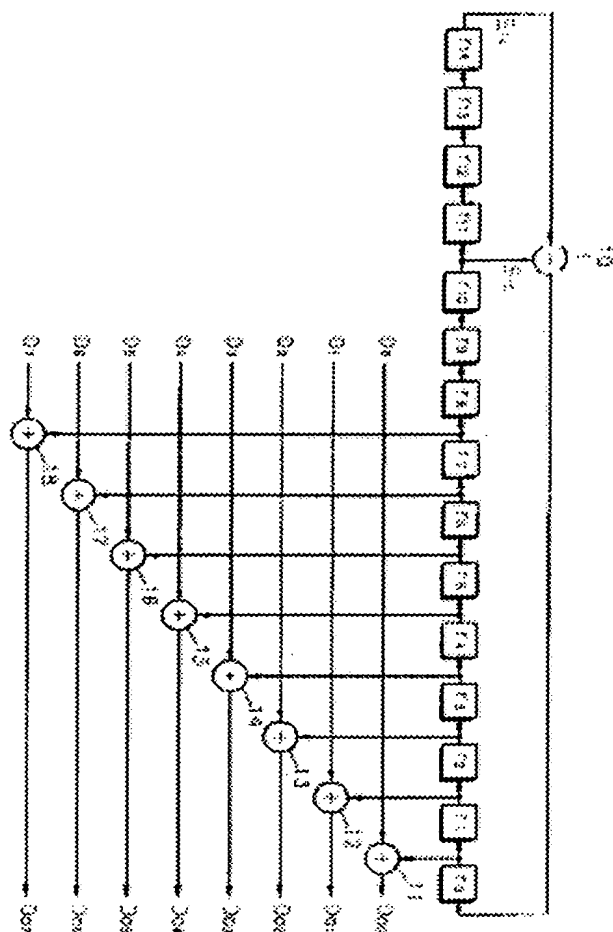
청구항 17. 제14항에 있어서, 상기 p 개의 하위 레지스터의 입력은 도 9 및 도 10에 도시된 브랜치값에 의해 결정되는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 18. 제14항에 있어서, 상기 논리 회로는 8×2^n 개의 배타적 논리합 게이트로 구성되고, 상기 선택 출력 회로는 3 비트의 선택 신호를 이용하여 상기 논리 회로로부터 제공되는 8개의 출력을 선택해서 8개의 하위 레지스터에 제공하고, 나머지 상위 레지스터는 상기 8개 하위 레지스터의 출력을 제공받는 것을 특징으로 하는 랜덤 데이터 발생기.

청구항 19. 제14항에 있어서, 상기 랜덤 데이터 발생기는 광 디스크 시스템의 스크램블러에 적용되며, 상기 스크램블러는 랜덤 데이터 발생기와, 소정수의 하위 레지스터의 출력과 입력 데이터를 배타적 논리합하여 스크램블 결과를 제공하는 것을 특징으로 하는 랜덤 데이터 발생기.

도 9

도 27



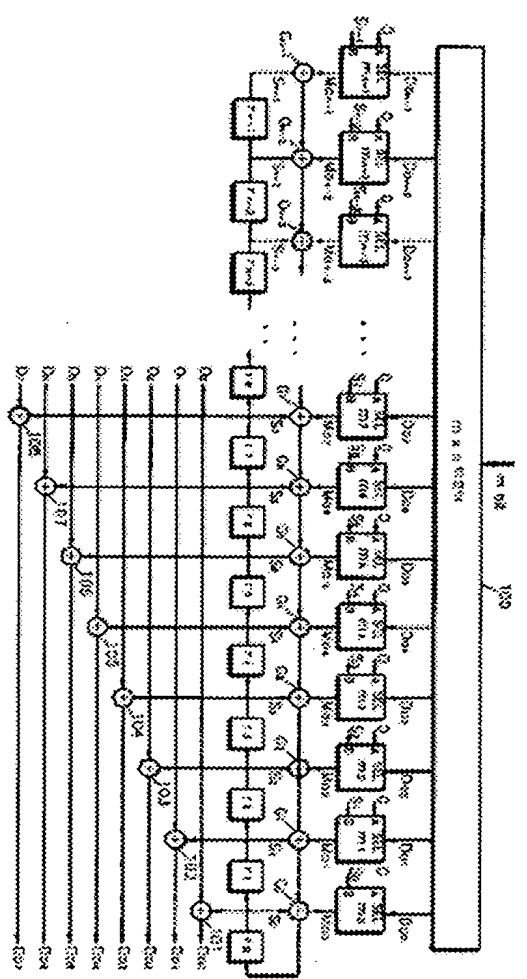
도 28

NO	원인데이터주소 (name)	소스데이터주소 (Don-Don)	NO	원인데이터주소 (name)	소스데이터주소 (Don-Don)
1	0001h	01h	32766	4888h	88h
2	0100h	00h	32767	0880h	80h
3	0022h	22h	32768	0001h	01h
4	2204h	04h	32769	0100h	00h
5	0404h	04h	32770	0022h	22h
6	0488h	88h	32771	2204h	04h
7	0898h	98h	32772	0404h	04h
8	1802h	02h	32773	0488h	88h
9	0230h	30h	32774	0898h	98h
~	~	~	~	~	~

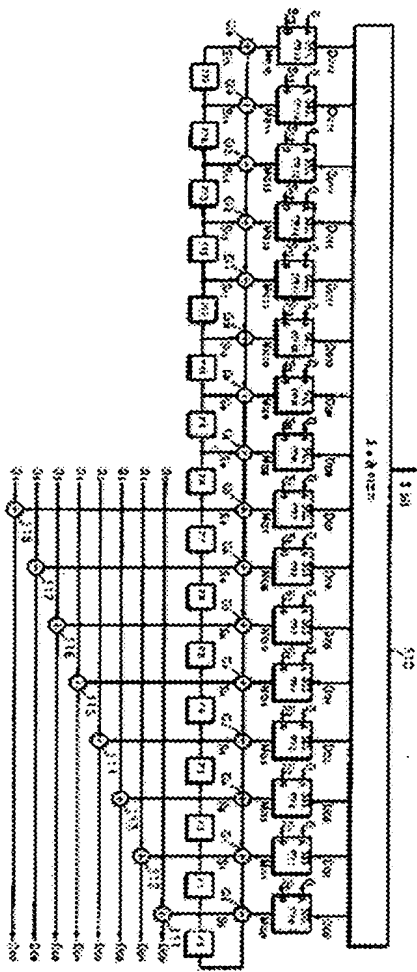
도 283

ID(7:4)	호기값	ID(7:4)	호기값
0h	0001h	8h	0010h
1h	5500h	9h	5000h
2h	0002h	Ah	0020h
3h	2A00h	Bh	2001h
4h	0004h	Ch	0040h
5h	5400h	Dh	4002h
6h	0008h	Enh	0080h
7h	2800h	Fh	0005h

도 284



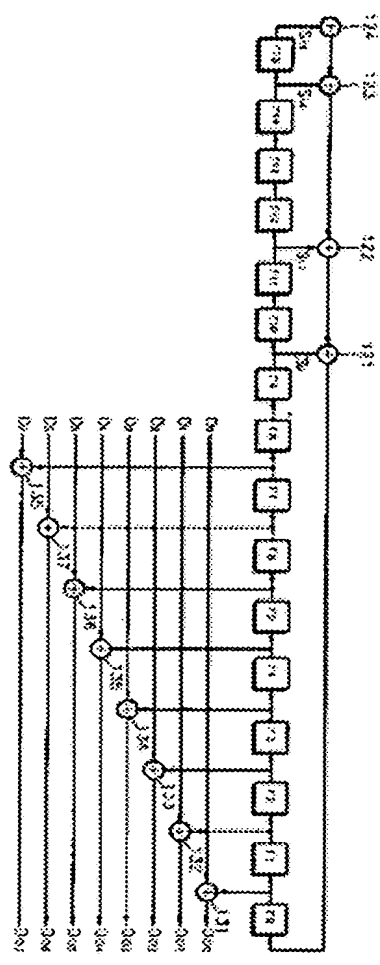
제 2001-0009500



제 2001-0009500

입력(3비트)	출력(0000~0000)
000b	810A%
001b	880B%
010b	8020h
011b	8821h
100b	CA00h
101b	000B%
110b	A840%
111b	8400%

도 287



도 288

NO	연산데이터값 (r1s~r0)	스프링클러값 (D07~D00)	NO	연산데이터값 (r1s~r0)	스프링클러값 (D07~D00)
1	0001h	01h	~	~	~
2	0100h	00h	85534	ACEFh	EFh
3	0053h	53h	85536	EF00h	00h
4	5311h	11h	85538	0001h	01h
5	1100h	00h	85537	0100h	00h
6	0063h	63h	85539	0053h	53h
7	631Eh	1Eh	85540	5311h	11h
8	1E53h	53h	85541	1100h	00h
9	5353h	53h	85542	0063h	63h
~	~	~		631Eh	1Eh

5/28/2001

NO	branch2 (Dais ~ Daz)	NO	branch2 (Dais ~ Daz)
1	8016h	27	8940h
2	801Ch	28	8A04h
3	8029h	29	9028h
4	800Ch	30	9082h
5	810Ah	31	9120h
6	810Ch	32	9428h
7	8112h	33	9848h
8	8142h	34	9C08h
9	8148h	35	A084h
10	8150h	36	A101h
11	8214h	37	A108h
12	8241h	38	A140h
13	8244h	39	A440h
14	8248h	40	A801h
15	8260h	41	A840h
16	8320h	42	B010h
17	8406h	43	B400h
18	8430h	44	C009h
19	8540h	45	C004h
20	8580h	46	C042h
21	8610h	47	C108h
22	8605h	48	C120h
23	8621h	49	C208h
24	8841h	50	C801h
25	8842h	51	CAC0h
26	8920h	52	D008h

50 20 20

NO	branch2 (Doc-Dir)	NO	branch2 (Doc-Dir)	NO	branch2 (Doc-Dir)	NO	branch2 (Doc-Dir)	NO	branch2 (Doc-Dir)	NO	branch2 (Doc-Dir)	NO	branch2 (Doc-Dir)
1	0017h	80	0020h	125	0028h	166	0027h	207	0030h	248	0037h	289	0040h
2	0018h	81	0021h	126	0029h	167	0028h	208	0031h	249	0038h	290	0041h
3	0019h	82	0022h	127	0030h	168	0029h	209	0032h	250	0039h	291	0042h
4	0020h	83	0023h	128	0031h	169	0030h	210	0033h	251	0040h	292	0043h
5	0021h	84	0024h	129	0032h	170	0031h	211	0034h	252	0041h	293	0044h
6	0022h	85	0025h	130	0033h	171	0032h	212	0035h	253	0042h	294	0045h
7	0023h	86	0026h	131	0034h	172	0033h	213	0036h	254	0043h	295	0046h
8	0024h	87	0027h	132	0035h	173	0034h	214	0037h	255	0044h	296	0047h
9	0025h	88	0028h	133	0036h	174	0035h	215	0038h	256	0045h	297	0048h
10	0026h	89	0029h	134	0037h	175	0036h	216	0039h	257	0046h	298	0049h
11	0027h	90	0030h	135	0038h	176	0037h	217	0040h	258	0047h	299	0050h
12	0028h	91	0031h	136	0039h	177	0038h	218	0041h	259	0048h	300	0051h
13	0029h	92	0032h	137	0040h	178	0039h	219	0042h	260	0049h	301	0052h
14	0030h	93	0033h	138	0041h	179	0040h	220	0043h	261	0050h	302	0053h
15	0031h	94	0034h	139	0042h	180	0041h	221	0044h	262	0051h	303	0054h
16	0032h	95	0035h	140	0043h	181	0042h	222	0045h	263	0052h	304	0055h
17	0033h	96	0036h	141	0044h	182	0043h	223	0046h	264	0053h	305	0056h
18	0034h	97	0037h	142	0045h	183	0044h	224	0047h	265	0054h	306	0057h
19	0035h	98	0038h	143	0046h	184	0045h	225	0048h	266	0055h	307	0058h
20	0036h	99	0039h	144	0047h	185	0046h	226	0049h	267	0056h	308	0059h
21	0037h	100	0040h	145	0048h	186	0047h	227	0050h	268	0057h	309	0060h
22	0038h	101	0041h	146	0049h	187	0048h	228	0051h	269	0058h	310	0061h
23	0039h	102	0042h	147	0050h	188	0049h	229	0052h	270	0059h	311	0062h
24	0040h	103	0043h	148	0051h	189	0050h	230	0053h	271	0060h	312	0063h
25	0041h	104	0044h	149	0052h	190	0051h	231	0054h	272	0061h	313	0064h
26	0042h	105	0045h	150	0053h	191	0052h	232	0055h	273	0062h	314	0065h
27	0043h	106	0046h	151	0054h	192	0053h	233	0056h	274	0063h	315	0066h
28	0044h	107	0047h	152	0055h	193	0054h	234	0057h	275	0064h	316	0067h
29	0045h	108	0048h	153	0056h	194	0055h	235	0058h	276	0065h	317	0068h
30	0046h	109	0049h	154	0057h	195	0056h	236	0059h	277	0066h	318	0069h
31	0047h	110	0050h	155	0058h	196	0057h	237	0060h	278	0067h	319	0070h
32	0048h	111	0051h	156	0059h	197	0058h	238	0061h	279	0068h	320	0071h
33	0049h	112	0052h	157	0060h	198	0059h	239	0062h	280	0069h	321	0072h
34	0050h	113	0053h	158	0061h	199	0060h	240	0063h	281	0070h	322	0073h
35	0051h	114	0054h	159	0062h	200	0061h	241	0064h	282	0071h	323	0074h
36	0052h	115	0055h	160	0063h	201	0062h	242	0065h	283	0072h	324	0075h
37	0053h	116	0056h	161	0064h	202	0063h	243	0066h	284	0073h	325	0076h
38	0054h	117	0057h	162	0065h	203	0064h	244	0067h	285	0074h	326	0077h
39	0055h	118	0058h	163	0066h	204	0065h	245	0068h	286	0075h	327	0078h
40	0056h	119	0059h	164	0067h	205	0066h	246	0069h	287	0076h	328	0079h
41	0057h	120	0060h	165	0068h	206	0067h	247	0070h	288	0077h	329	0080h
42	0058h	121	0061h	166	0069h	207	0068h	248	0071h	289	0078h	330	0081h
43	0059h	122	0062h	167	0070h	208	0069h	249	0072h	290	0079h	331	0082h
44	0060h	123	0063h	168	0071h	209	0070h	250	0073h	291	0080h	332	0083h
45	0061h	124	0064h	169	0072h	210	0071h	251	0074h	292	0081h	333	0084h
46	0062h	125	0065h	170	0073h	211	0072h	252	0075h	293	0082h	334	0085h
47	0063h	126	0066h	171	0074h	212	0073h	253	0076h	294	0083h	335	0086h
48	0064h	127	0067h	172	0075h	213	0074h	254	0077h	295	0084h	336	0087h
49	0065h	128	0068h	173	0076h	214	0075h	255	0078h	296	0085h	337	0088h
50	0066h	129	0069h	174	0077h	215	0076h	256	0079h	297	0086h	338	0089h
51	0067h	130	0070h	175	0078h	216	0077h	257	0080h	298	0087h	339	0090h
52	0068h	131	0071h	176	0079h	217	0078h	258	0081h	299	0088h	340	0091h
53	0069h	132	0072h	177	0080h	218	0079h	259	0082h	300	0089h	341	0092h
54	0070h	133	0073h	178	0081h	219	0080h	260	0083h	301	0090h	342	0093h
55	0071h	134	0074h	179	0082h	220	0081h	261	0084h	302	0091h	343	0094h
56	0072h	135	0075h	180	0083h	221	0082h	262	0085h	303	0092h	344	0095h
57	0073h	136	0076h	181	0084h	222	0083h	263	0086h	304	0093h	345	0096h
58	0074h	137	0077h	182	0085h	223	0084h	264	0087h	305	0094h	346	0097h
59	0075h	138	0078h	183	0086h	224	0085h	265	0088h	306	0095h	347	0098h
60	0076h	139	0079h	184	0087h	225	0086h	266	0089h	307	0096h	348	0099h
61	0077h	140	0080h	185	0088h	226	0087h	267	0090h	308	0097h	349	0100h
62	0078h	141	0081h	186	0089h	227	0088h	268	0091h	309	0098h	350	0101h

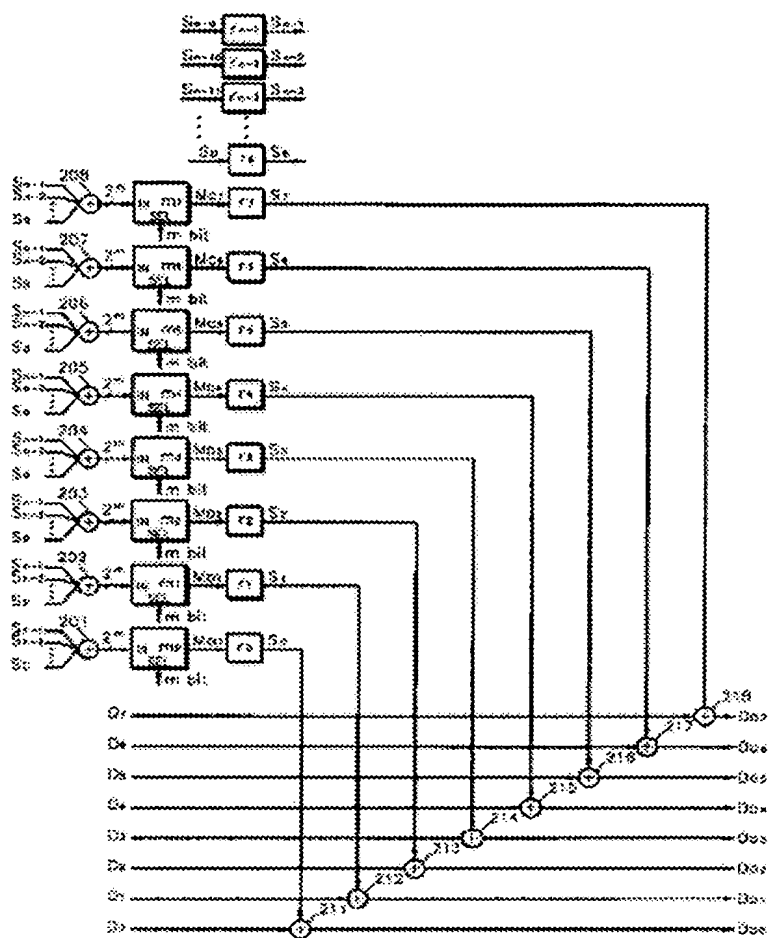
도표 8

NO	연립데이터장괴 (r15~r6)	스프링플장괴 (D07~D02)	NO	연립데이터장괴 (r15~r6)	스프링플장괴 (D07~D02)
1	0001h	01h	~	~	~
2	0100h	02h	65534	0080h	02h
3	0020h	20h	65535	8000h	00h
4	2004h	04h	65536	0001h	01h
5	0451h	51h	65537	0100h	00h
6	5180h	80h	65538	0020h	20h
7	80A0h	A0h	65539	2004h	04h
8	A013h	13h	65540	0451h	51h
9	13D3h	03h	65541	5180h	80h
~	~	~	65542	80A0h	A0h

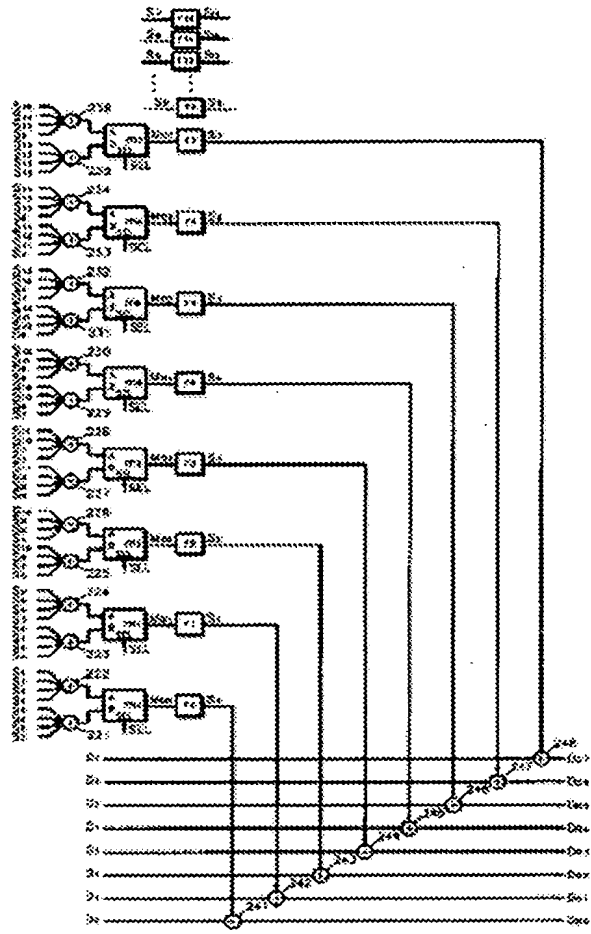
도표 9

NO	연립데이터장괴 (r15~r6)	스프링플장괴 (D07~D02)	NO	연립데이터장괴 (r15~r6)	스프링플장괴 (D07~D02)
1	0001h	01h	65536	0001h	01h
2	0100h	00h	65537	0100h	00h
3	0020h	20h	65538	0053h	53h
4	2004h	04h	65539	5311h	11h
~	~	~	~	~	~
65532	F85Ah	5Ah	131070	ACEFh	EFh
65533	5ADDh	00h	131071	EF00h	00h
65534	005Dh	80h	131072	0001h	01h
65535	8000h	00h	131073	0100h	00h
			131074	0020h	20h
			131075	2004h	04h

图 17-16



圧縮部



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.